

[First Hit](#)      [Previous Doc](#)      [Next Doc](#)      [Go to Doc#](#)

End of Result Set



Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Sep 14, 1998

PUB-NO: JP410247953A

DOCUMENT-IDENTIFIER: JP 10247953 A

TITLE: RECEIVER

PUBN-DATE: September 14, 1998

## INVENTOR-INFORMATION:

NAME

COUNTRY

KATAOKA, NOBUHISA

HAYASHI, RYOJI

NAKAJIMA, TAKAO

MIYAKE, MAKOTO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP09048131

APPL-DATE: March 3, 1997

INT-CL (IPC): H04 L 27/22; H04 L 25/03; H04 L 25/06

## ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a receiver in which a cause to data mis-discrimination given to a base band signal used for data discrimination of demodulation data to be outputted from the receiver resulting from an offset voltage generated in the inside of the circuit of the receiver and specific to the circuit is avoided.

SOLUTION: The receiver is provided with a DC offset voltage output means 100 that outputs a DC offset voltage specific to a reception circuit receiving a signal and which a DC offset voltage cancellation means 101 that cancels a base band signal including the DC offset voltage component generated from a reception signal received by the reception circuit and specific to the reception circuit with the DC offset voltage component outputted from the DC offset voltage output means.

COPYRIGHT: (C)1998,JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(11)特許出願公開番号

(43)公開日 平成10年(1998)9月14日

$$\mathbf{z}$$

D

**25/06**

## 最終頁に続く

## 【特許請求の範囲】

【請求項1】 位相変移変調されたラジオ信号を受信してベースバンド信号を生成すると共に前記ラジオ信号の電力に応じて前記ベースバンド信号を増幅する受信機において、信号を受信する受信回路固有の直流オフセット電圧を前記ベースバンド信号を増幅する手段と少なくとも同等な手段を用いて出力する直流オフセット電圧出力手段と、前記受信回路が受信した受信信号から生成され前記受信回路固有の直流オフセット電圧成分を含んだベースバンド信号から前記直流オフセット電圧出力手段が出力した直流オフセット電圧成分を相殺し出力する直流オフセット電圧相殺手段とを備えたことを特徴とする受信機。

【請求項2】 直流オフセット電圧出力手段は、非通話状態での直流オフセット電圧相殺手段の出力に基づいて受信回路固有の直流オフセット電圧成分の大きさを定める直流オフセット電圧制御回路を含むことを特徴とする請求項1に記載の受信機。

【請求項3】 直流オフセット電圧出力手段は、非通話状態での第1の直流オフセット電圧相殺手段の出力と非通話状態での第2の直流オフセット電圧相殺手段の出力との平均値に基づいて受信回路固有の直流オフセット電圧成分の大きさを定める直流オフセット電圧制御回路を含むことを特徴とする請求項1に記載の受信機。

【請求項4】 直流オフセット電圧制御回路は、直流オフセット相殺手段の出力結果をA/D変換するA/D変換器と、該A/D変換器の出力を平滑化する平滑化回路と、該平滑化回路の出力電圧中から受信回路固有の直流オフセット電圧成分の影響を排除する大きさに直流オフセット電圧の大きさを算出する直流オフセット電圧計算回路と、タイミング制御回路から出力されるスルー信号に基づいて前記直流オフセット電圧計算回路が算出する直流オフセット電圧を出力すると共に前記タイミング制御回路から出力されるホールド信号に基づいて前記直流オフセット電圧計算回路が最後に算出した直流オフセット電圧を保持して出力するホールド回路と、該ホールド回路の出力をD/A変換するD/A変換器とで構成されたことを特徴とする請求項2又は3に記載の受信機。

【請求項5】 直流オフセット電圧制御回路は、直流オフセット相殺手段の出力結果の正負を判定する判定回路と、該判定回路が出力する正負の判定結果の数を計数して正又は負のいずれかの計数値が予め定められた数に達した場合にその達した方の判定結果を出力して再び計数をやり直すランダムフォークフィルタと、該ランダムフォークフィルタの出力に基づいて受信回路固有の直流オフセット電圧成分を相殺する大きさに直流オフセット電圧の大きさを定める電圧調節回路と、タイミング制御回路から出力されるスルー信号に基づいて前記電圧調節回路が定めた直流オフセット電圧を出力すると共に前記タイミング制御回路から出力されるホールド信号に基づいて

て前記電圧調整回路が最後に定めた直流オフセット電圧を保持して出力するホールド回路と、該ホールド回路の出力をD/A変換するD/A変換器とで構成されたことを特徴とする請求項2又は3に記載の受信機。

【請求項6】 タイミング制御回路は、電源投入直後から予め定められた時刻までの間にスルー信号を出力することを特徴とする請求項4又は5に記載の受信機。

【請求項7】 タイミング制御回路は、非通話時にホールド信号を出力することを特徴とする請求項4乃至6のいずれかに記載の受信機。

【請求項8】 直流オフセット電圧出力手段を、受信回路固有の直流オフセット電圧成分を相殺する予め定められた電圧を発生する固定電圧発生手段としたことを特徴とする請求項1に記載の受信機。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、受信信号から生成されたベースバンド信号を可変利得アンプにより増幅する構成の受信機において、このベースバンド信号に含まれる受信回路固有の直流オフセット電圧成分の影響を排除する受信機に関する。

## 【0002】

【従来の技術】今日、無線通信システムにおける受信機は、小形化、軽量化が進んでいる。小形で軽量の受信機として、ダイレクトコンバージョン受信機と呼ばれる受信機がある。ダイレクトコンバージョン受信機は、アンテナを介して受信されたRF (Radio Frequency) 信号を、IF (Intermediate Frequency) 信号に変換することなく、ベースバンド信号に直接変換することから、IF信号に対する増幅、フィルタリング等の処理が不要となり、その分、所要部品が低減できて受信機の小形化、軽量化が図れるという利点がある。

【0003】図10は、“ベースバンドAGCを用いたダイレクトコンバージョン受信機”、添谷 みゆき、上野 隆、鶴見 博史 著、電子情報通信学会春季大会B-322、1993. に記載された従来のダイレクトコンバージョン受信機の構成図である。

【0004】図10中、1はアンテナ、2はアンプ、3はバンドパスフィルタ、4a、4bはミキサであり、バンドパスフィルタ3の出力信号は2分岐されて、それぞれミキサ4a、4bの一方の入力端子に入力されるようになっている。

【0005】6a、6bはローパスフィルタ、8a、8bは可変利得アンプで、ローパスフィルタ6a、6bの出力信号はそれぞれ可変利得アンプ8a、8bの一方の入力端子に入力されるようになっている。

【0006】さらに、10a、10bはA/D変換器、12はデータ判定器、13は入力された信号の位相を $\pi/2$ 移相する移相器、14はキャリア発振器であり、キャリア発振器14の出力信号(キャリア信号)は2分岐

されてそれぞれミキサ4aの一方の入力端子と、移相器13に入力されるようになっている。また、移相器13の出力信号( $\pi/2$ 移相された信号)は、ミキサ4bの一方の入力端子に入力されるようになっている。

【0007】15は可変利得アンプ8a、8bを制御するための利得制御電圧生成器であり、利得制御電圧生成器15には、A/D変換器10a、10bの出力信号が入力されると共に、利得制御電圧生成器15からの出力信号(制御電圧)がそれぞれ可変利得アンプ8a、8bの入力端子にそれぞれ入力されるようになっている。

【0008】次に、このように構成された従来のダイレクトコンバージョン受信機の動作について図1.0を参照して説明する。

【0009】アンテナ1を介して受信されたベースバンド信号を含むRF(Radio Frequency)信号は、アンプ2に入力されてある予め定められた固定増幅率で増幅される。そして、アンプ2の出力信号は、バンドパスフィルタ3に入力されて不要な周波数成分が除去される。

【0010】さらに、バンドパスフィルタ3の出力信号は、2分岐されて、一方の信号はミキサ4aに入力され、ミキサ4aでキャリア発振器14からの後述するような出力信号(キャリア信号)と乗積される。

【0011】ここで、キャリア発振器14は、アンテナ1を介して受信された信号と同一周波数のキャリア信号を出力している。従って、ミキサ4aの出力信号(乗積された信号)には、ベースバンド信号とキャリア信号の周波数(キャリア周波数)の2倍の周波数の信号とが含まれている。

【0012】一方、バンドパスフィルタ3から出力された2分岐された他方の信号は、ミキサ4bに入力されて移相器13の出力信号と乗積される。ミキサ4bの出力信号は、後述するように、ローパスフィルタ6bに入力されてベースバンド信号が取り出される。

【0013】ローパスフィルタ6a、6bは、ミキサ4a、4bの出力信号から、不要なキャリア周波数の2倍の周波数信号を除去して、それぞれベースバンド信号のみを出力する。

【0014】ローパスフィルタ6a、6bから出力されたベースバンド信号は、それぞれ可変利得アンプ8a、8bに入力されて、それぞれA/D変換器10a、10bに入力するために予め定められた適正なある振幅まで増幅される。

【0015】可変利得アンプ8a、8bの出力信号は、それぞれA/D変換器10a、10bによりデジタル信号に変換される。A/D変換器10a、10bの出力信号はそれぞれ2分岐され、分岐された一方の信号は共にデータ判定器12に入力される。

【0016】そして、データ判定器12ではそれら2つの入力に基づいて出力されるべきデジタルデータが判定され、その判定結果として、データ判定器12から復調

データが出力される。

【0017】また、A/D変換器10a、10bからそれぞれ出力されてさらに分岐され、データ判定器12に入力されない他方の信号は、共に利得制御電圧生成器15に入力され、利得制御電圧生成器15は、それら入力信号に基づいて、可変利得アンプ8a、8bの利得を制御するための制御信号となる制御電圧を決定して可変利得アンプ8a、8bに出力する。

【0018】そして、可変利得アンプ8a、8bは、いずれも利得制御電圧生成器15の制御信号(制御電圧)に対応して利得(増幅率)を変化させる。

【0019】この場合、利得制御電圧生成器15は、A/D変換器10a、10bからそれぞれ出力されてさらに分岐された信号である入力信号に基づいて、入力信号が予め定められた規定値未満である場合には、可変利得8a、8bの利得が増加するような制御信号(制御電圧)を出力し、逆に、この規定値を越える場合には、可変利得アンプ8a、8bの利得が減少するような制御電圧を出力する。

【0020】このようにして、可変利得アンプ8aからA/D変換器10aに、また可変利得アンプ8bからA/D変換器10bにそれぞれ出力される信号が常に一定の振幅になるようにしている。

【0021】従来のダイレクトコンバージョン受信機はこのように構成されており、ダイレクトコンバージョン受信機を、特に、陸上の移動体通信に使用する場合には、基地局と移動体との距離が大きく変わることにより受信信号電力が大きく変化し、さらに、フェージングによっても受信信号電力が大きく変化するので、A/D変換器10a、10bの入力信号振幅を一定にするために可変利得アンプ8a、8bの利得の増幅率を、例えば80(dB)という大きな値にする必要がある。

【0022】しかしながら、実際は、ローパスフィルタ6a、6bの内部や、可変利得アンプ8a、8bの内部では、この回路固有の直流のオフセット電圧成分(以下、DCオフセットという)が発生し、可変利得アンプ8a、8bの入力点には、ローパスフィルタ6a、6bで発生するDCオフセットと、可変利得アンプ8a、8bの内部で発生するDCオフセットが存在している。

【0023】一般に、これらDCオフセットの量は僅かではあるが、ベースバンド信号を増幅する可変利得アンプ8a、8bの最大利得が大きい場合は、これらDCオフセットが大きく増幅されて可変利得アンプ8a、8bから出力され、A/D変換器10a、10bにそれぞれ入力されるベースバンド信号には大きく増幅されたDCオフセットが含まれる。

【0024】そして、A/D変換器10a、10bへの入力信号にそれぞれ含まれる増幅されたDCオフセットは、後段のデータ判定器12におけるデータ判定の際に、データの誤判定の原因となりビット誤り率特性が劣

化するという問題点がある。

【0025】例えば、可変利得アンプ8a、8bの入力端のDCオフセットが僅かに100( $\mu$ V)であったとしても、最大利得が80(dB)(真数で表すと $10^{80/20}=10^4$ )の場合は、

$$100\mu\text{V} \times 10^4 = 1(\text{V}) \quad (1)$$

となるので、最大利得時では、A/D変換器10a、10bに入力されるベースバンド信号には、DCオフセットの影響のない本来であれば、数mVであるはずなのに、1(V)という非常に大きなDCオフセットが含まれる。

【0026】また、“倍周波デジタル移相復調方式のダイレクトコンバージョン受信機”、三村 政博、大庭基、長谷川 誠、牧本 三夫、横崎 克司 著、電子情報通信学会春季大会B-211、1991、に示された、従来のダイレクトコンバージョン受信機を図11に示す。

【0027】図11中、前出した従来例に対する新たな構成として、11a、11bはそれぞれハイパスフィルタであり、可変利得アンプ8a、8bの出力はそれぞれハイパスフィルタ11a、11bに入力され、ハイパスフィルタ11a、11bの出力はA/D変換器10a、10bに入力されるようになっている。

【0028】このような、ダイレクトコンバージョン受信機では、可変利得アンプ8aとA/D変換器10aとの間に挿入したハイパスフィルタ11aと、可変利得アンプ8bとA/D変換器10bとの間に挿入したハイパスフィルタ11bとによって、それぞれDCオフセットが除去される。

【0029】しかしながら、図11に示したダイレクトコンバージョン受信機では、以下に述べるとおり、変調方式によってはベースバンド信号のスペクトルの一部が削除されてしまうという問題点がある。

【0030】図11に示したダイレクトコンバージョン受信機は、送信信号が周波数偏移変調(frequency shift keying、以下、FSK変調という)と呼ばれる変調方式により変調されている場合のダイレクトコンバージョン受信機の構成である。

【0031】FSK変調の場合、ローパスフィルタ6a、6bから出力されるベースバンド信号のスペクトルは、例えば数kHzの周波数近傍にのみ存在し、0Hz近傍には存在しない。

【0032】従って、数kHz未満のカットオフ周波数に設定したハイパスフィルタ11a、11bにより、DCオフセット(0Hzの信号)と数kHz未満の低域周波数成分とを同時に除去しても、ビット誤り率特性は劣化せず問題はない。

【0033】しかし、近年の移動体通信において主に採用されている位相偏移変調(phase shift keying、以下、PSK変調という)と呼ばれる変調方式により送信

信号が変調される場合は、ローパスフィルタ6a、6bから出力されるベースバンド信号のスペクトルは、0Hzまで連続して存在する。

【0034】従って、ハイパスフィルタ11a、11bは、DCオフセットの成分のみならずベースバンド信号の低域周波数成分をも同時に除去してしまい、ベースバンド信号が歪んでビット誤り率特性が劣化する。

【0035】以上のように、従来のダイレクトコンバージョン受信機は、受信信号電力が大きく変動する通信システムに使用する場合には、大きく増幅されたDCオフセットのためビット誤り率特性が劣化するという問題点がある。

【0036】また、DCオフセットの成分を除去する従来の方式では、低域周波数成分を削除してしまうので、PSK変調波を受信する場合にはベースバンド信号のスペクトルの一部をも削除してしまうという問題点があった。

【0037】

【発明が解決しようとする課題】この発明はかかる問題点を解決するためになされたもので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることを目的とする。

【0038】

【課題を解決するための手段】この発明に係る受信機は、位相変移変調されたラジオ信号を受信してベースバンド信号を生成すると共に前記ラジオ信号の電力にに応じて前記ベースバンド信号を増幅する受信機において、信号を受信する受信回路固有の直流オフセット電圧を前記ベースバンド信号を増幅する手段と少なくとも同等な手段を用いて出力する直流オフセット電圧出力手段と、受信回路が受信した受信信号から生成され受信回路固有の直流オフセット電圧成分を含んだベースバンド信号から直流オフセット電圧出力手段が出力した直流オフセット電圧成分を相殺し出力する直流オフセット電圧相殺手段とを備えたものである。

【0039】また、直流オフセット電圧出力手段は、非通話状態での直流オフセット電圧相殺手段の出力に基づいて受信回路固有の直流オフセット電圧成分の大きさを定める直流オフセット電圧制御回路を含むようにしたものである。

【0040】また、直流オフセット電圧出力手段は、非通話状態での第1の直流オフセット電圧相殺手段の出力と非通話状態での第2の直流オフセット電圧相殺手段の出力との平均値に基づいて受信回路固有の直流オフセット電圧成分の大きさを定める直流オフセット電圧制御回路を含むようにしたものである。

【0041】また、直流オフセット電圧制御回路は、直流オフセット相殺手段の出力結果をA/D変換するA/D

D変換器と、A/D変換器の出力を平滑化する平滑化回路と、平滑化回路の出力電圧中から受信回路固有の直流オフセット電圧成分の影響を排除する大きさに直流オフセット電圧の大きさを算出する直流オフセット電圧計算回路と、タイミング制御回路から出力されるスルー信号に基づいて直流オフセット電圧計算回路が算出する直流オフセット電圧を出力すると共にタイミング制御回路から出力されるホールド信号に基づいて直流オフセット電圧計算回路が最後に算出した直流オフセット電圧を保持して出力するホールド回路と、ホールド回路の出力をD/A変換するD/A変換器とで構成されたものである。

【0042】また、直流オフセット電圧制御回路は、直流オフセット相殺手段の出力結果の正負を判定する判定回路と、判定回路が出力する正負の判定結果の数を計数して正又は負のいずれかの計数値が予め定められた数に達した場合にその達した方の判定結果を出力して再び計数をやり直すランダムフォークフィルタと、ランダムフォークフィルタの出力に基づいて受信回路固有の直流オフセット電圧成分を相殺する大きさに直流オフセット電圧の大きさを定める電圧調節回路と、タイミング制御回路から出力されるスルー信号に基づいて電圧調整回路が定めた直流オフセット電圧を出力すると共にタイミング制御回路から出力されるホールド信号に基づいて電圧調整回路が最後に定めた直流オフセット電圧を保持して出力するホールド回路と、ホールド回路の出力をD/A変換するD/A変換器とで構成されたものである。

【0043】また、タイミング制御回路は、電源投入直後から予め定められた時刻までの間にスルー信号を出力するようにしたものである。

【0044】また、タイミング制御回路は、非通話時にホールド信号を出力するようにしたものである。

【0045】また、直流オフセット電圧出力手段を、受信回路固有の直流オフセット電圧成分を相殺する予め求められた電圧を発生する固定電圧発生手段としたものである。

【0046】

【発明の実施の形態】

実施の形態1. 図1は、実施の形態1に係る受信機（ダイレクトコンバージョン受信機）の構成図である。図1中、前記従来例に対する新たな構成として、16a、16bは減算器、18a、18bは可変利得アンプであり、即ち可変利得アンプ8a、8b、18a、18bは全て同様な特性を有する素子で構成され、いずれも1つの利得を決定するためのある入力信号（印加電圧）に基づいて利得が決定されるようになっている。

【0047】減算器16a、16bは、それぞれ可変利得アンプ8a、8bの出力信号（増幅されたベースバンド信号）から、可変利得アンプ18a、18bの出力信号（以下、レプリカDCオフセットという）を減算した信号を出力するようになっている。

【0048】20a、20bはオフセット電圧制御回路であり、オフセット電圧制御回路20a、20bは、共に減算器16a、16bの出力信号をそれぞれ入力して、減算器16a、16bの出力信号に含まれる増幅されたDCオフセットを検出し、これらのDCオフセットを0に相殺するような電圧 $E_a$ 、 $E_b$ をそれぞれ出力すると共に、後述するタイミング制御回路の出力信号であるタイミング信号に基づいて、これらの電圧 $E_a$ 、 $E_b$ をそれぞれ保持するようになっている。

【0049】また、22は電圧発生器であり、電圧発生器22は、可変利得アンプ8a、8b、18a、18bが全て最大利得で動作させるための予め設定された電圧を発生するようになっている。

【0050】23は選択スイッチであり、タイミング制御回路24が出力する $H_i$  レベル又はL。レベルのタイミング信号に基づいて、利得制御電圧生成器15の出力信号である出力電圧（端子A）と、電圧発生器22の出力信号である出力電圧（端子B）のいずれか一方を、可変利得アンプ8a、8b、18a、18bの利得（増幅率）を決めるための電圧取り込み元として選択するようになっている。

【0051】そして、選択スイッチ23で選択された出力電圧は、可変利得アンプ8a、8b、18a、18bにそれぞれ入力されて、可変利得アンプ8a、8bは共に印加電圧に基づいた利得でローパスフィルタ6a、6bの出力であるベースバンド信号をそれぞれ増幅して出力するようになっている。

【0052】また、選択スイッチ23が選択した端子に基づいて、可変利得アンプ18a、18bも印加電圧に基づいた利得で、オフセット電圧制御回路20a、20bの出力である電圧 $E_a$ 、 $E_b$ をそれぞれ増幅して出力するようになっている。

【0053】可変利得アンプ18a、18bと、オフセット電圧制御回路20a、20bにより、減算器16a、16bの出力信号中に含まれる増幅されたDCオフセットを検出し、このDCオフセットを0に相殺するレプリカDCオフセットを生成するレプリカDCオフセット生成手段100を構成している。

【0054】さらに、減算器16a、16bにより、前述したレプリカDCオフセットを用いてこれらDCオフセットを0に相殺する処理を行うDCオフセット相殺手段101を構成している。

【0055】そして、タイミング制御回路24は、 $H_i$  レベル又はL。レベルのタイミング信号を出力して、これら手段の動作タイミングを切り換え制御するようになっている。

【0056】次に、このように構成された実施の形態1に係る受信機の動作を図1乃至図4を参照して説明する。

【0057】この受信機は、まず、電源ON直後（受信

機の起動直後)の非受信状態において、可変利得アンプ8a、8b、18a、18bを最大利得(即ち、固定した利得)で動作させて、受信機の内部、前述したような例えば可変利得アンプ8a、8bの入力点で既に発生していてこの回路固有のDCオフセットを0に相殺するための電圧、即ち、電圧E<sub>a</sub>、E<sub>b</sub>をそれぞれ求める動作を行う(図2のステップ1)。

【0058】次に、これら電圧E<sub>a</sub>、E<sub>b</sub>を求めた後、通常の受信動作での利得制御電圧生成器15が行うこれらアンプの利得の制御において、電圧E<sub>a</sub>、E<sub>b</sub>に基づいてこの回路固有のDCオフセットをそれぞれ相殺する動作をそれぞれ行う(図2のステップ2)。

【0059】これら2つの動作は、タイミング制御回路24から出力されるタイミング信号に基づいて切り換えられる。

【0060】図1において、始めに、電源がONになって受信機が起動すると、タイミング制御回路24はH<sub>i</sub>レベルのタイミング信号を選択スイッチ23に出力する。

【0061】選択スイッチ23は、タイミング制御回路24のこの出力信号(H<sub>i</sub>レベルのタイミング信号)に基づいて、可変利得アンプ8a、8b、18a、18bそれぞれの利得を定めるための制御電圧の取り込み元を電圧発生器22が接続された端子Bとして選択する。

【0062】従って、端子Bが選択されて電圧E<sub>a</sub>、E<sub>b</sub>を決定する場合は、可変利得アンプ8a、8b、18a、18bは全て最大利得(即ち、固定した利得)で動作させられる。

【0063】ここで、例えばこれらアンプの最大利得を全て80(dB)、可変利得アンプ8a、8bの入力点において既に発生しているこの回路固有のDCオフセットがそれぞれ100(μV)であるとすれば、これらアンプが全て最大利得で動作させられる場合は前出した式(1)より、1(V)のDCオフセットが可変利得アンプ8a、8bの出力信号中にそれぞれ増幅されて含まれている。

【0064】可変利得アンプ18a、18bも最大利得80(dB)で動作させられているので、オフセット電圧制御回路20a、20bは、可変利得アンプ8a、8b、18a、18bが全て最大利得で動作させられている場合に、可変利得アンプ18a、18bから出力されるそれぞれのレプリカDCオフセットによって、可変利得アンプ8a、8bの出力信号中に含まれているこの回路固有の増幅されたDCオフセットを相殺するよう、演算器16a、16bの出力信号中にそれぞれ含まれる増幅されたDCオフセットを検出して、これら与えようとする電圧E<sub>a</sub>、E<sub>b</sub>をそれぞれ求める。

【0065】そして、これら電圧E<sub>a</sub>、E<sub>b</sub>は、タイミング制御回路24から出力されるタイミング信号の出力により受信機が通常の受信状態になる際に、オフセット

電圧制御回路20a、20bそれぞれに保持(ホールド)させる。

【0066】上述したように電圧電圧E<sub>a</sub>、E<sub>b</sub>を求めた後、タイミング制御回路24はL<sub>i</sub>レベルのタイミング信号を出力して選択スイッチ23を端子Bから端子Aへ切り換えて、受信機を通常の受信状態にする。

【0067】H<sub>i</sub>レベルのタイミング信号からL<sub>i</sub>レベルのタイミング信号への切り換えは、受信機が起動してH<sub>i</sub>レベルのタイミング信号を出力した後、予め定められた一定の短時間経過後に行うようにする。従って、上述した電圧E<sub>a</sub>、E<sub>b</sub>は受信機起動後の短時間で算出される。

【0068】受信機の起動時において、電源がONになる毎に上述した電圧E<sub>a</sub>、E<sub>b</sub>を求める動作をこのような短時間で行うことで、温度変化などによる回路固有のDCオフセットの発生量が電源ONの毎に異なる場合であっても、可変利得アンプ8a、8bの出力信号に含まれる増幅されたDCオフセットを新たに求めたレプリカDCオフセットによって相殺することができる。

【0069】上述したこれら動作を図2乃至図4を参照してより具体的に説明する。図3は、図1から取り出したオフセット電圧制御回路20a周辺の構成図である。オフセット電圧制御回路20bもオフセット電圧制御回路20aと同様な構成であり同様な動作をするので、両者を代表してオフセット電圧制御回路20aについて説明する。

【0070】実施の形態1に係るオフセット電圧制御回路20aの具体的な構成としては、例えば図4に掲げるものが考えられる。

【0071】図4中、201aはA/D変換器であり、減算器16aの出力信号を入力してA/D変換する。202aは平滑化回路であり、A/D変換器201aの出力信号を平滑化(平均化)して雑音の影響を低減し、減算器16aの出力信号中に含まれる増幅されたDCオフセットを高精度で検出するものである。

【0072】203aはオフセット電圧計算回路であり、平滑化回路202aから出力された増幅されたDCオフセットを入力し、このDCオフセットを0に相殺するために必要なレプリカDCオフセットの基となる電圧E<sub>a</sub>を計算して出力するようになっている。

【0073】204aはホールド回路であり、タイミング制御回路24からの出力信号(タイミング信号)がH<sub>i</sub>レベル(スルー信号)の場合は入力信号をそのまま素通しして出力するが、このタイミング信号がL<sub>i</sub>レベル(ホールド信号)に変化した場合にその時刻の直前の入力信号(電圧)を保持(ホールド)し、このL<sub>i</sub>レベル信号の受信中はその保持(ホールド)した電圧を出力し続けるようになっている。

【0074】205aはD/A変換器であり、ホールド回路204aの出力、即ち、オフセット電圧計算回路2

03aにより計算された値(デジタル値)をアナログ電圧に変換して出力するようになっている。

【0075】このように構成されたオフセット電圧制御回路20aでは、オフセット電圧計算回路203aは、以下のようにして電圧 $E_a$ を算出する。

【0076】電源ONとなって受信機が起動した状態において、ベースバンド信号中に含まれるDCオフセットが $x_a$ (V)であり、可変利得アンプ18aが電圧発生器22の出力に基づいた最大利得80(dB)(真数で表すと $10^{80/20}=10^4$ )の固定した利得で動作させられ、オフセット電圧制御回路20aが $a_a$ (V)の電圧を出力している場合に、減算器16aの出力信号に含まれるDCオフセットが $\Delta_a$ (V)であるとすれば、式(2)が成立する。

$$\Delta_a = x_a - 10^4 \cdot a_a \quad (2)$$

【0077】ここで、オフセット電圧計算回路203aが、検出されたDCオフセットを0に相殺する電圧として $E_a$ (V)を算出して、オフセット電圧制御回路20aから $a_a$ (V)の電圧に代えて $E_a$ (V)を出力することで $\Delta_a$ (V)を0に相殺するから、この状態では式(3)が成立する。

$$\Delta_a = x_a - 10^4 \cdot E_a = 0 \quad (3)$$

【0078】式(2)、(3)を用いて $x_a$ を消去すると、式(4)が得られる。

$$E_a = \Delta_a / 10^4 + a_a \quad (4)$$

【0079】電源ONとなって受信機が起動した状態で、オフセット電圧制御回路20aからの出力電圧が $a_a$ (V)の場合、減算器16aの出力信号に含まれる増幅されたDCオフセットである $\Delta_a$ (V)が検出されれば、オフセット電圧計算回路203aは、減算器16aの出力信号に含まれる増幅されたDCオフセットを0に相殺する電圧 $E_a$ (V)を、式(4)を用いて計算により求めることができる。さらに、オフセット電圧計算回路203aは、ホールド回路204aを介してその計算で求めた電圧 $E_a$ (V)を出力する。

【0080】このように実施の形態1に係る受信機は、電源がONとなって受信機が起動した直後から予め定められたある短い一定時間内に、可変利得アンプ8a、18aの利得を最大利得に固定して動作させ、回路内部で発生しているこの回路固有のDCオフセットを0に相殺するために必要な電圧 $E_a$ を上述した処理によって決定する。

【0081】そして、この起動後の一定時間が経過すると、タイミング制御回路24からは $H_i$ レベルのタイミング信号(スルー信号)に代えて $L_i$ レベルのタイミング信号(ホールド信号)が出力され、この受信機は電圧 $E_a$ を求める状態から通常の実受状態に切り替わる。

【0082】タイミング制御回路24から出力されるタイミング信号が $H_i$ レベルから $L_i$ レベルに切り替わった時点で、ホールド回路204aはこのタイミング信号に

基づいてオフセット電圧計算回路203aにより計算された電圧 $E_a$ を通常の実受状態で用いる電圧として保持(ホールド)する。

【0083】また、ホールド回路28aは、この $L_i$ レベルのタイミング信号を受信している間は、この保持している電圧 $E_a$ を出力し続け、新たな電圧 $E_a$ の算出は行わない。

【0084】従って、通常の実受状態では、可変利得アンプ18aには既に前述のように求められてホールド回路204aに保持されている電圧 $E_a$ (V)が常に印加されている。

【0085】通常の実受状態に移行することにより、アンテナ1を介して受信される受信信号の電力変化に応じて、利得電圧生成器15からの制御信号に基づいて可変利得アンプ8aの利得も変化し、可変利得アンプ8aの出力信号であるベースバンド信号にもその利得に応じて増幅された回路内部で発生しているこの回路固有の増幅されたDCオフセットが含まれる。

【0086】ところで、可変利得アンプ18aは、可変利得アンプ8aと同様な構成を有し、かつ前記従来例のように利得電圧生成器15からの制御信号に基づいて、可変利得アンプ8aと同一の利得で動作しているため、可変利得アンプ18aから出力されるレプリカDCオフセットはその利得の変化に応じて増減するが、それは可変利得アンプ8aにより増幅されたこの回路固有のDCオフセットを0に相殺できる量である。

【0087】従って、この回路固有の増幅されたDCオフセットの成分は、上述した電圧 $E_a$ を可変利得アンプ18aで増幅したものをを用いて減算器16aにおいて0に相殺されるので、通常の実受状態では、利得制御電圧生成器15が出力する制御信号に基づいて可変利得アンプ8a、18aの利得が変化しても、減算器16aの出力、即ち、A/D変換器10aへの入力信号の振幅はDCオフセットの影響が排除された一定値に保たれる。

【0088】なお、電圧 $E_a$ を可変利得アンプ8aの入力点で減算することで、可変利得アンプ8aの入力点においてDCオフセットを0に相殺する構成も考えられる。

【0089】しかし、一般に、可変利得アンプの内部で発生するDCオフセットは利得と共に変化するので、電圧 $E_a$ を可変利得アンプ8aの入力点で減算する構成では、ローパスフィルタ6a内部で発生するDCオフセットは除去できるが、可変利得アンプ8a内部で発生して利得と共に変化するDCオフセットまでは除去できない。

【0090】これに対し、実施の形態1の構成では、電圧 $E_a$ を可変利得アンプ18aで増幅してから可変利得アンプ8aの出力信号から減算するように構成しているため、可変利得アンプ18aに可変利得アンプ8aと同等なアンプ素子を用いることで、可変利得アンプ8a、



18aの内部で発生するDCオフセット量が利得の変化に対応して変化するので、利得がどのように変化しても、ローパスフィルタ6aから出力されるDCオフセットと共に可変利得アンプ8a内部で発生するDCオフセットをも0に相殺できる。

【0091】従って、上記実施の形態1によれば、ベースバンド信号からレプリカDCオフセットを減算しているだけであるから、従来の構成のように、ベースバンド信号のスペクトルが削られることなく、DCオフセットを除去できる。また、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0092】なお、上述した説明では、オフセット電圧制御回路20aの入力信号を減算器16aの出力信号として説明したが、A/D変換器10aの出力信号としても良い。この場合は、オフセット電圧制御回路20aにおけるA/D変換器201aは、A/D変換器10aにより代用されるので、構成が簡易になる。

【0093】ところで、電圧E<sub>a</sub>、E<sub>b</sub>を設定する動作は、図2で説明したような電源がONとなって受信機が起動された直後の一定時間内に行うだけではなく、通常の受信状態における非受信時に行っても良い。

【0094】即ち、電源ON直後の受信機の起動後に行う前述した電圧E<sub>a</sub>、E<sub>b</sub>の設定動作を、図5に示すような動作タイミングで、受信機の受信状態の合間の非受信状態においても断続的に行ってよい。

【0095】近年の移動体通信システムでは、時分割により同一周波数を複数のユーザが使用する形態が取られ、通信は割り当てられたタイムスロットのみで行うので通信の空き時間が存在する。

【0096】この通信の空き時間を利用して、電圧E<sub>a</sub>、E<sub>b</sub>の設定動作を断続的に行う。この処理には、温度変動等によりベースバンド信号に含まれるDCオフセット量が変化した場合であっても、レプリカDCオフセットがその変化に柔軟に追随できるという利点がある。

【0097】なお、後述する実施の形態2乃至3の場合も同様に、受信機の受信状態の合間の非受信状態においてレプリカDCオフセットを断続的に求めるようにしてもよい。

【0098】実施の形態2。実施の形態1で図1に示したオフセット電圧制御回路20a、20bの構成としては、図4に示した構成の他に以下に述べるような構成を採用してレプリカDCオフセットを発生させても良い。

【0099】図5は実施の形態2に係る受信機（ダイレクトコンバージョン受信機）中のオフセット電圧制御回路20aの構成図である。オフセット電圧制御回路20a、20bは同様な構成なので、ここでも実施の形態1と同様に両者を代表してオフセット電圧制御回路20a

について説明する。

【0100】図5中、実施の形態2における新たな構成として、206aは減算器16aの出力信号を入力して、その入力信号の正負を判別し、その正負に応じて2値の信号、「1」又は「0」のいずれかを出力する比較器である。

【0101】また、207aは比較器206aからの出力信号を平滑化（平均化）すると共に、それら出力信号「1」、「0」の出力数をそれぞれカウントしていずれか一方のカウント数が予め定められたあるしきい値を越えた場合にそのカウント数に先に達した方の出力信号を出力すると共に、そのカウントをリセットして再度カウント動作を行うランダムウォークフィルタ（以下、RWFという）。

【0102】さらに、208aはRWF207aの出力信号に基づいてDCオフセットを0に相殺するための電圧を増加、減少させる制御を行う電圧制御回路である。

【0103】このように構成されたオフセット電圧制御回路20aは、前記実施の形態1と同様に電源がONになって受信機が起動すると、選択スイッチ23はタイミング制御回路24からのHiレベルのタイミング信号に基づいて端子Bを選択するので、以下に示すような電圧E<sub>a</sub>を算出する動作を行う。

【0104】減算器16aの出力信号は、比較器206aに入力されて、その正負が判別される。比較器206aは、入力信号が正の場合に「1」の信号を、負の場合に「0」の信号を出力するものとすれば、減算器16aの出力信号中に増幅された正のDCオフセットが存在する場合は、比較器206aの出力信号中には「1」の信号が多く含まれる。

【0105】逆に、減算器16の出力信号中に負のDCオフセットが存在する場合には、比較器206aの出力信号中には「0」の信号が多く含まれている。

【0106】比較器206aの出力は、RWF207aに入力され平滑化（平均化）されて雑音の影響が低減される。それと共に、RWF207aは、図示しない内部カウンタを用いて、入力信号中の「1」の数のカウントが、「0」の数のカウントより先にある予め定められたあるしきい値以上になった場合に「1」を出力して内部カウンタをリセットする。

【0107】逆に、入力信号中の「0」の数のカウントが、「1」の数のカウントより先にある予め定められたあるしきい値以上になった場合に「0」を出力して内部カウンタをリセットする動作を繰り返す。

【0108】従って、減算器16aからの出力信号中に例えば正のDCオフセットが含まれている場合、比較器206aからの出力信号中には前述のように「1」の信号が多く含まれるので、RWF207aからは「1」の信号が出力される。

【0109】電圧制御回路208aは、RWF207a

の出力が「1」である場合は、減算器16aの出力信号中にはまだ相殺されていないDCオフセットが多く含まれていることから、出力値(DCオフセットを相殺する電圧)を増加させる。

【0110】逆に、RWF207aの出力が「0」である場合には、減算器16aの出力信号中ではDCオフセットが相殺され過ぎていることからこの出力値を減少させる。

【0111】電圧制御回路208aからの出力電圧は、ホールド回路204aを介してD/A変換器205aに10 入力されてアナログ電圧に変換され、可変利得アンプ18aに入力される。そして、さらに可変利得アンプ18aにより増幅されて、減算器16aにおいて増幅されたベースバンド信号から減算される。

【0112】従って、減算器16aの出力信号中に正のDCオフセットが存在する場合には、RWF207aからの出力が「1」の信号となるので、電圧制御回路208aは出力値を増加させ、その結果、D/A変換器206aの出力も増加し、可変利得アンプ18aの出力が増加する。即ち、ベースバンド信号から減算されるレプリカDCオフセット量が増加して、ベースバンド信号に含まれる正のDCオフセットが0に近づく。

【0113】一方、減算器16aの出力信号中に負のDCオフセットが存在する場合も上記の場合と同様、この場合は、比較器205aからは「0」が、RWF207aからは「0」がそれぞれ出力され、電圧制御回路208aは出力値を減少させて、その結果、D/A変換器205aからの出力も減少し、可変利得アンプ18aからの出力が減少する。

【0114】即ち、可変利得アンプ8aからの出力であるベースバンド信号から減算されるレプリカDCオフセットが減少して、ベースバンド信号に含まれる負のDCオフセットが0に近づく。

【0115】上述したこれら処理は、実施の形態1と同様に、タイミング制御回路24からHiレベルの信号が出力されている間、即ち、受信機が起動した後の短時間に繰り返されることによって、増幅されたベースバンド信号に含まれる増幅されたDCオフセットの成分は0に収束する。

【0116】そして、この起動後の一定時間が経過すると、タイミング制御回路24から出力されるタイミング信号はHiレベルからLレベルに切り替えられ、この受信機はレプリカDCオフセットを求める状態から通常を受信状態(DCオフセットを0に相殺する状態)に切り替わる。

【0117】通常を受信状態に切り替わった後の動作(電圧電圧E<sub>a</sub>、E<sub>b</sub>の保持、DCオフセットの相殺等の動作)は実施の形態1と同様なのでその説明は省略する。

【0118】このように、図5に示した構成によって

も、図3に示した構成と同様に、可変利得アンプ8aの出力である増幅されたベースバンド信号に含まれるDCオフセットの影響を排除できる。

【0119】従って、上記実施の形態2によれば、ベースバンド信号からレプリカDCオフセットを減算しているだけであるから、従来の構成のように、ベースバンド信号のスペクトルが削られることなく、DCオフセットを除去できる。また、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0120】なお、上述した説明では、オフセット電圧制御回路20aの入力信号を減算器16aの出力信号として説明したが、A/D変換器10aの出力信号としても良い。即ち、A/D変換器10aからの出力信号のMSB (most significant bit) は、減算器16aの出力の正負に応じて「1」、「0」の値となり、比較器206aからの出力と同一なので、比較器206aが不要となり構成が簡易になる。

【0121】実施の形態3、実施の形態1、2において、非受信状態でのレプリカDCオフセットの生成及び通常を受信状態でのDCオフセットの0への相殺は以下に示すような構成で行ってもよい。

【0122】図6は、実施の形態3に係る受信機(ダイレクトコンバージョン受信機)の構成図である。図6中、実施の形態3では実施例1、2において2つ用いていた可変利得アンプ18a、18bを1つの可変利得アンプ18としてまとめ、また、オフセット電圧制御回路20a、20bも1つのオフセット電圧制御回路20としてまとめてそれぞれ構成している。

【0123】また、34は平均電圧検出器であり、減算器16a、16bの出力信号(出力電圧)を入力して、これら信号の平均電圧を出力するようになっている。そして、オフセット電圧制御回路20は、平均電圧検出器34からの出力を入力して、実施の形態1、2と同様に平均電圧検出器34からの出力が0に相殺するよう、出力電圧Eを制御するようになっている。

【0124】図8は、図7から取り出したオフセット電圧制御回路20周辺の構成図である。実施の形態3に係るオフセット電圧制御回路20の具体的な構成としては、例えば実施の形態1(図4)乃至実施の形態2(図5)において既に説明したものが考えられる。ここでは説明の便宜上、オフセット電圧制御回路20の内部構成が、具体的に図3(実施の形態1)に示したものを例として取り上げ、図3乃至図7を参照して説明する。

【0125】このような実施の形態3に係る受信機のオフセット電圧制御回路20では、以下のようにして電圧Eが算出される。

【0126】電源ONとなって受信機が起動した後は、

平均電圧検出器34は減算器16a、16bの出力を入力して、これら入力信号の平均電圧を出力している。即ち、減算器16aの出力を $\Delta_a$ 、減算器16bの出力を $\Delta_b$ 、平均電圧検出器34の出力を $\Delta$ とすると、平均電圧検出器34は式(5)に従って $\Delta$ を計算して出力する。

$$\Delta = (\Delta_a + \Delta_b) / 2 \quad (5)$$

そして、平均電圧検出器34の出力は、オフセット電圧制御回路20に入力される。

【0127】電源ONとなって受信機が起動した段階において、減算器16a、16bに入力される2つのベースバンド信号中に含まれるDCオフセットがそれぞれ $x_a$ 、 $x_b$  (V)であり、可変利得アンプ18が電圧発生器22の出力に基づいた最大利得80 (dB) (真数で表すと $10^{80/20} = 10^4$ )の固定した利得で動作させられ、オフセット電圧制御回路20が $a$  (V)の電圧を出力している場合に、減算器16a、16bの出力信号中に含まれるDCオフセットがそれぞれ $\Delta_a$ 、 $\Delta_b$  (V)であるとすれば、式(6)が成立する。

$$\Delta_a = x_a - 10^4 \cdot a$$

$$\Delta_b = x_b - 10^4 \cdot a \quad (6)$$

【0128】ここで、 $x_a = x_b$ と仮定すると、式(6)より $\Delta_a = \Delta_b$ となる。そこで、

$$x = x_a = x_b, \quad \Delta = \Delta_a = \Delta_b \quad (7)$$

とおくと、式(8)が成り立つ。

$$\Delta = x - 10^4 \cdot a \quad (8)$$

【0129】ここで、オフセット電圧計算回路が、検出されたDCオフセットを0に相殺する電圧として $E$  (V)を算出して、オフセット電圧制御回路20から $a$  (V)の電圧に代えて $E$  (V)を出力して $\Delta$  (V)を0に相殺するから、この状態では式(9)が成立する。

$$\Delta = x - 10^4 \cdot E = 0 \quad (9)$$

【0130】式(8)、(9)を用いて $x$ を消去すると、式(10)が得られる。

$$E = \Delta / 10^4 + a \quad (10)$$

【0131】オフセット電圧制御回路20内のオフセット電圧計算回路は、オフセット電圧制御回路20の出力電圧が $a$  (V)の場合のDCオフセットである電圧 $\Delta$  (V)の値を用いて、レプリカDCオフセットとなる電圧 $E$  (V)を式(10)により計算する。

【0132】電源がONとなって受信機が起動した段階で、オフセット電圧制御回路20からの出力電圧が $a$  (V)の場合、平均電圧検出器34の出力電圧(減算器16a、16bの出力電圧の平均値)であるDCオフセットの平均値 $\Delta$  (V)が検出されれば、オフセット電圧計算回路は、減算器16a、16bの出力に含まれる増幅されたDCオフセットを0に相殺する電圧 $E$  (V)を式(10)を用いて計算により求めることができる。

【0133】さらに、オフセット電圧計算回路は、ホールド回路204a、D/A変換回路205aを介してそ

の計算値を可変利得アンプ18に出力する。

【0134】このように実施の形態3に係る受信機は、実施の形態1と同様に、受信機が電源ONとなって起動した直後から予め定められたある短い一定時間内に、可変利得アンプ8、18の利得を最大利得に固定して動作させ、回路内部で発生しているこの回路固有のDCオフセットを0に相殺するために必要な電圧 $E$ を上記した処理によって決定する。

【0135】そして、この起動後の一定時間が経過すると、タイミング制御回路24からは $H_i$ レベルのタイミング信号に代えて $L$ レベルのタイミング信号が出力され、この受信機はレプリカDCオフセットを求める状態から通常の実信状態に切り替わる。

【0136】タイミング制御回路24から出力されるタイミング信号が $H_i$ レベルから $L$ レベルに切り替わった時点で、実施の形態1と同様に、オフセット電圧制御回路20のホールド回路はタイミング信号の受信に基づいてオフセット電圧計算回路により計算された電圧 $E$  (V)を通常の実信状態で用いる電圧として保持(ホールド)する。

【0137】また、このホールド回路は、この $H_i$ レベルのタイミング信号を受信している間は、この保持された電圧 $E$  (V)が可変利得アンプ18に与えられる。

【0138】そして、可変利得アンプ18から出力されるレプリカDCオフセットが減算器16a、16bにそれぞれ与えられることで、前述したようなこの回路固有のDCオフセットは減算器16a、16bにおいてそれぞれ実施の形態1と同様に相殺することができる。

【0139】上述した説明は、可変利得アンプ8a、8bから出力される各々のベースバンド信号に含まれるDCオフセットがそれぞれ等しく( $x_a = x_b$ )、式(7)の仮定が成立することを前提としている。

【0140】この場合は、式(10)により計算された電圧 $E$  (V)をD/A変換器を介して出力させれば、減算器16a、16bの出力信号中のDCオフセットは完全に0に相殺できる。

【0141】しかし、一般には、素子の特性のばらつき等により、厳密には $x_a = x_b$ という仮定は成立しない場合が多いので、実施の形態3の構成では、減算器16a、16bの出力のDCオフセットは厳密には0に相殺できない。

【0142】しかし、 $x_a$ と $x_b$ との値に大きな差がなければ、DCオフセットは非常に小さな値にすることができ、実用上問題はない。

【0143】例えば、 $x_a = 1$  (V)、 $x_b = 0.9$  (V)の場合について考察すると以下ようになる。可変利得アンプ18の最大利得を80 (dB) (真数で表すと $10^{80/20} = 10^4$ )、 $a = 50$  ( $\mu$ V)の場合は、 $\Delta_a$ 、 $\Delta_b$ は式(6)より、

$$\Delta_a = 1 - 10^4 \times 50 \times 10^{-6} = 0.5 \text{ (V)}$$

$\Delta_b = 0.9 - 10^4 \times 50 \times 10^{-6} = 0.4 \text{ (V)}$   
である。

\*

$$\Delta = (\Delta_a + \Delta_b) / 2 = 0.45 \text{ (V)} \quad (5)$$

である。

※オフセット電圧計算回路が式(10)により電圧E

【0145】従って、オフセット電圧制御回路20内の※ (V)を計算すると、

$$E = 0.45 / 10^4 + 50 \times 10^{-6} = 95 \text{ (}\mu\text{V)} \quad (8)$$

となる。

★出力信号に含まれる増幅されたDCオフセットはそれぞ

【0146】従って、オフセット電圧制御回路20の出 れ、

力は95(μV)となるので、減算器16a、16bの★

$$1 - 10^4 \times 95 \times 10^{-6} = 0.05 \text{ (V)}$$

$$0.9 - 10^4 \times 95 \times 10^{-6} = -0.05 \text{ (V)} \quad (14)$$

となって、十分に小さな値に低減される。

☆る。

【0147】オフセット電圧制御回路20の構成は、図5に示すような構成のものであっても良いことは実施の形態2の説明から明らかである。この場合も、減算器16a、16bの出力信号に含まれる増幅されたDCオフセットは十分に小さな値に制御することができる。

【0148】このように、実施の形態3では、準同期検波された可変利得アンプ8a、8bの出力である2つの増幅されたベースバンド信号に含まれる増幅されたDCオフセットの値の平均値に基づいてレプリカDCオフセットを生成するように構成しているので、この構成は、可変利得アンプ8a、8bの各出力のDCオフセットの量に大きな差異がない場合に適用できる。

【0149】従って、上記実施の形態3によれば、ベースバンド信号からレプリカDCオフセットを減算しているだけであるから、従来の構成のように、ベースバンド信号のスペクトルが削られることなく、DCオフセットを除去できる。また、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0150】また、実施の形態1、2において2個必要であったレプリカDCオフセットを出力する可変利得アンプと、オフセット電圧制御回路をそれぞれ1個に削減してまとめて構成することで、回路構成を簡易にできるという利点がある。

【0151】実施の形態4。例えば、減算器16a、16bの入力点での増幅されたDCオフセットがそれぞれ40 予め分かっているならば、可変利得アンプ18a、18bの入力点にこれらDCオフセットをそれぞれ0に相殺するための電源をそれぞれ与えることで、減算器16a、16bの出力信号からDCオフセットの影響を排除するようにしてもよい。

【0152】図8は、実施の形態4に係る受信機(ダイレクトコンバージョン受信機)の構成図である。図8に示す受信機では、電圧制御回路20a、20bに代えて、それぞれのDCオフセットを0に相殺する固定電圧を発生する固定電圧発生器36a、36bを設けてあ

☆50

\*【0144】一方、平均電圧検出器34出力は、

※オフセット電圧計算回路が式(10)により電圧E (V)を計算すると、

★出力信号に含まれる増幅されたDCオフセットはそれぞ

【0153】固定電圧発生器36a、36bの出力電圧は、受信機の製造過程において、受信機が通常の受信状態の場合の減算器16a、16bの出力信号に含まれるこの回路固有のDCオフセットを予め調べて、それぞれのDCオフセットを0に相殺するように電圧E<sub>a</sub>、E<sub>b</sub>をそれぞれ決定する。

【0154】実施の形態1乃至2では計算によりレプリカDCオフセットとなる電圧E<sub>a</sub>、E<sub>b</sub>を求めていたが、この場合では、受信機の製造過程で予め固定して設定したレプリカDCオフセットを与えているので、実施の形態1乃至2に比べて温度影響に対するDCオフセットの変動への追従は柔軟でないが、オフセット電圧制御回路を必要としないので回路構成が簡易になるという利点がある。

【0155】また、図9は、実施の形態3の構成が実施の形態1乃至2の構成を簡易にしたことに対応して、1つの可変利得アンプ18と1つの固定レプリカDCオフセット発生器36によって図8の回路構成を簡易に構成したものである。

【0156】固定電圧発生器36の出力電圧は、受信機の製造過程において、受信機が通常の受信状態の場合の減算器16a、16bの出力信号に含まれるこの回路固有のDCオフセットの平均を0に相殺するように電圧Eを決定する。

【0157】従って、上記実施の形態4によれば、ベースバンド信号からレプリカDCオフセットを減算しているだけであるから、従来の構成のように、ベースバンド信号のスペクトルが削られることなく、DCオフセットを除去できる。また、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0158】また、実施の形態3では計算により電圧Eを求めていたが、ここでは、受信機の製造過程で予め固定設定した電圧を与えているので、実施の形態3に比べ温度影響に対するDCオフセットの変動への追従は柔軟でないが、2つのベースバンド信号に含まれるDCオフ

セット量がほぼ等しい場合には、オフセット電圧制御回路を必要とせず、図9の構成が適用できるので回路構成が簡易になるという利点がある。

【0159】

【発明の効果】この発明によれば、位相変移変調されたラジオ信号を受信してベースバンド信号を生成すると共に前記ラジオ信号の電力に応じて前記ベースバンド信号を増幅する受信機において、信号を受信する受信回路固有の直流オフセット電圧を前記ベースバンド信号を増幅する手段と少なくとも同等な手段を用いて出力する直流

オフセット電圧出力手段と、受信回路が受信した受信信号から生成され受信回路固有の直流オフセット電圧成分を含んだベースバンド信号から直流オフセット電圧出力手段が出力した直流オフセット電圧成分を相殺し出力する直流オフセット電圧相殺手段とを備えたので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0160】また、直流オフセット電圧出力手段は、非通話状態での直流オフセット電圧相殺手段の出力に基づいて受信回路固有の直流オフセット電圧成分の大きさを定める直流オフセット電圧制御回路を含むようにしたので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0161】また、直流オフセット電圧出力手段は、非通話状態での第1の直流オフセット電圧相殺手段の出力と非通話状態での第2の直流オフセット電圧相殺手段の出力との平均値に基づいて受信回路固有の直流オフセット電圧成分の大きさを定める直流オフセット電圧制御回路を含むようにしたので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0162】また、直流オフセット電圧制御回路は、直流オフセット相殺手段の出力結果をA/D変換するA/D変換器と、A/D変換器の出力を平滑化する平滑化回路と、平滑化回路の出力電圧中から受信回路固有の直流オフセット電圧成分の影響を排除する大きさに直流オフセット電圧の大きさを算出する直流オフセット電圧計算回路と、タイミング制御回路から出力されるスルー信号に基づいて直流オフセット電圧計算回路が算出する直流オフセット電圧を出力すると共にタイミング制御回路から出力されるホールド信号に基づいて直流オフセット電圧計算回路が最後に算出した直流オフセット電圧を保持して出力するホールド回路と、ホールド回路の出力をD

/A変換するD/A変換器とで構成されたので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0163】また、直流オフセット電圧制御回路は、直流オフセット相殺手段の出力結果の正負を判定する判定回路と、判定回路が出力する正負の判定結果の数を計数して正又は負のいずれかの計数値が予め定められた数に達した場合にその達した方の判定結果を出力して再び計数をやり直すランダムフォークフィルタと、ランダムフォークフィルタの出力に基づいて受信回路固有の直流オフセット電圧成分を相殺する大きさに直流オフセット電圧の大きさを定める電圧調節回路と、タイミング制御回路から出力されるスルー信号に基づいて電圧調整回路が定めた直流オフセット電圧を出力すると共にタイミング制御回路から出力されるホールド信号に基づいて電圧調整回路が最後に定めた直流オフセット電圧を保持して出力するホールド回路と、ホールド回路の出力をD/A変換するD/A変換器とで構成されたので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0164】また、タイミング制御回路は、電源投入直後から予め定められた時刻までの間にスルー信号を出力するようにしたので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0165】また、タイミング制御回路は、非通話時にホールド信号を出力するようにしたので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【0166】また、直流オフセット電圧出力手段を、受信回路固有の直流オフセット電圧成分を相殺する予め求められた電圧を発生する固定電圧発生手段としたので、受信機から出力されるべき復調データのデータ判定の際にデータ誤り判定の原因となるベースバンド信号に含まれる受信機の回路内部で発生するこの回路固有のオフセット電圧を排除することのできる受信機を得ることができる。

【図面の簡単な説明】

【図1】 実施の形態1に係る受信機の説明図である。

【図2】 実施の形態1に係る受信機の説明図である。

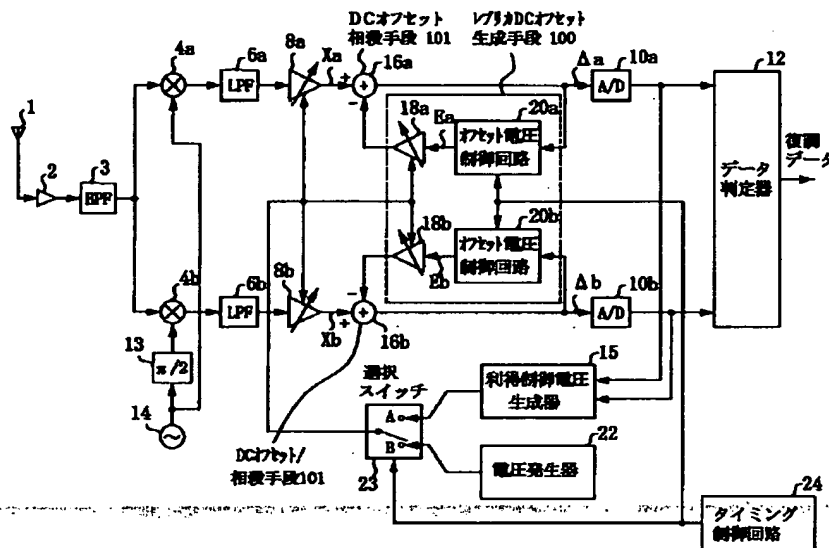
【図3】 実施の形態1に係る受信機の説明図である。

【図4】 実施の形態1に係る受信機の説明図である。

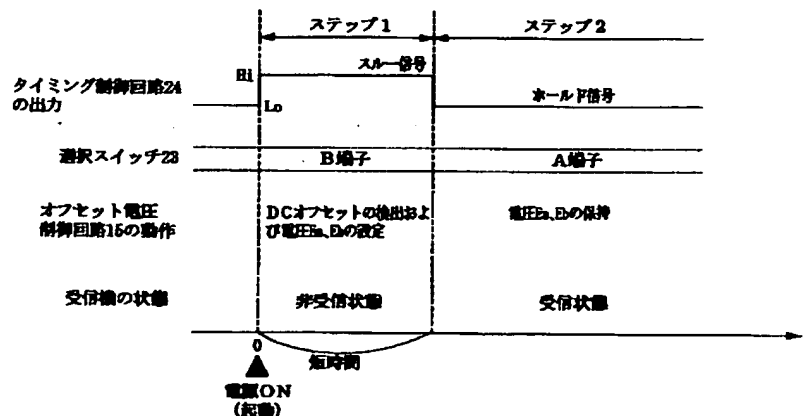
- 【図5】 実施の形態2に係る受信機の説明図である。  
 【図6】 実施の形態3に係る受信機の説明図である。  
 【図7】 実施の形態3に係る受信機の説明図である。  
 【図8】 実施の形態4に係る受信機の説明図である。  
 【図9】 実施の形態4に係る受信機の説明図である。  
 【図10】 従来のダイレクトコンバージョン受信機の説明図である。  
 【図11】 従来のダイレクトコンバージョン受信機の説明図である。  
 【符号の説明】

16a、16b 減算器、18、18a、18b 可変利得アンプ、20、20a、20b オフセット電圧制御回路、22 電圧発生器、23 選択スイッチ、24 タイミング制御回路、201a A/D変換器、202a 平滑化回路、203a オフセット電圧計算回路、204a ホールド回路、205a D/A変換器、206a 比較器、207a ランダムウォークフィルタ、208a 電圧制御回路、34 平均電圧検出器、36、36a、36b、固定電圧発生器。

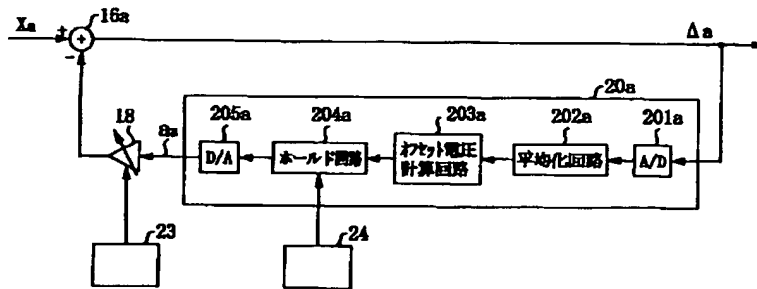
【図1】



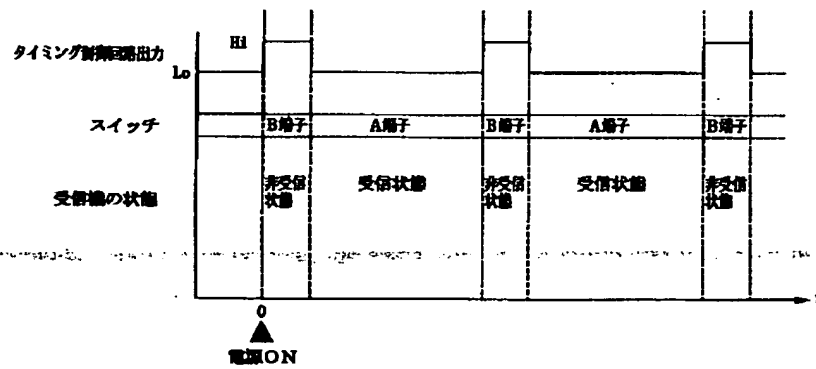
【図2】



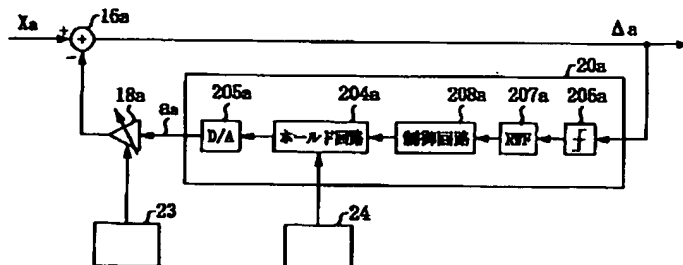
【図3】



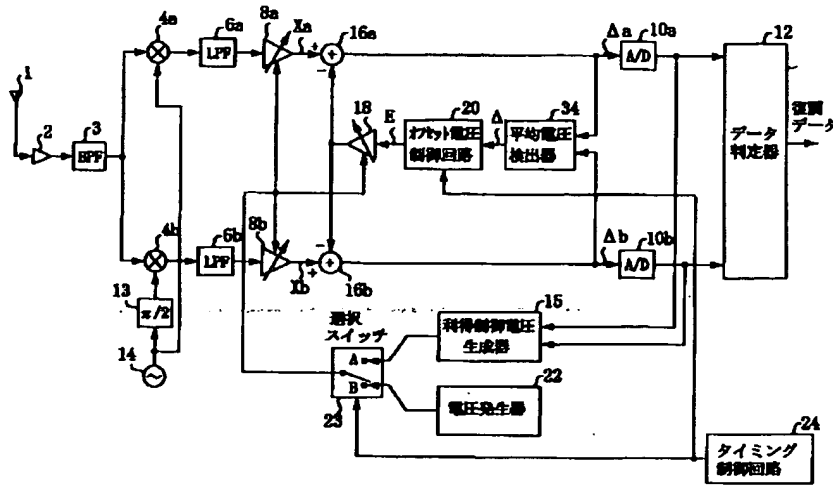
【図4】



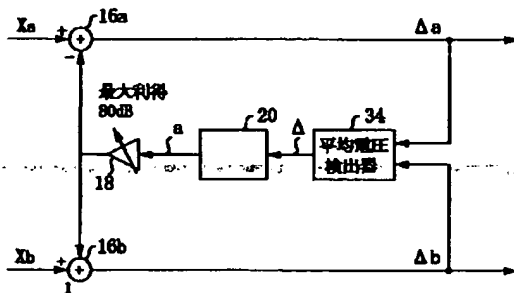
【図5】



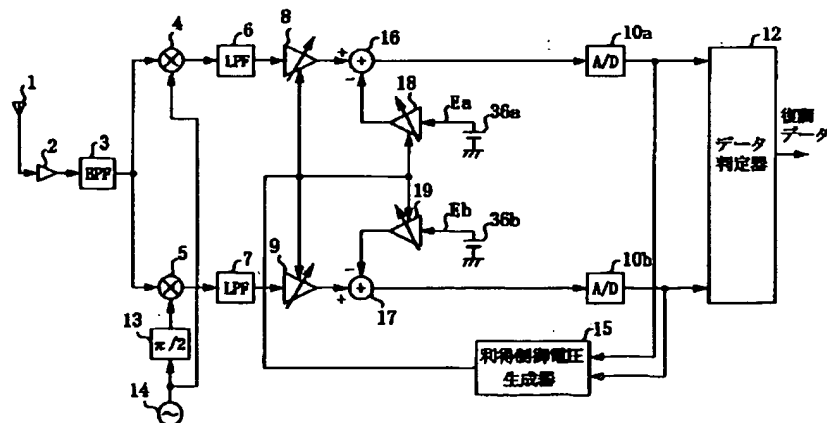
【図6】



【図7】

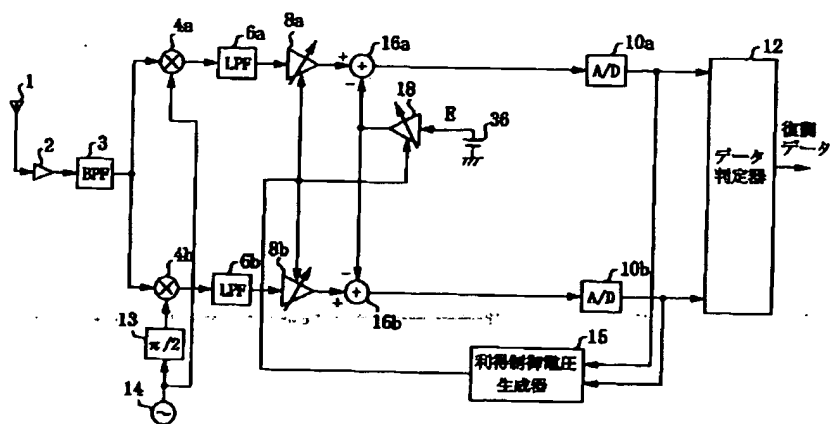


【図8】

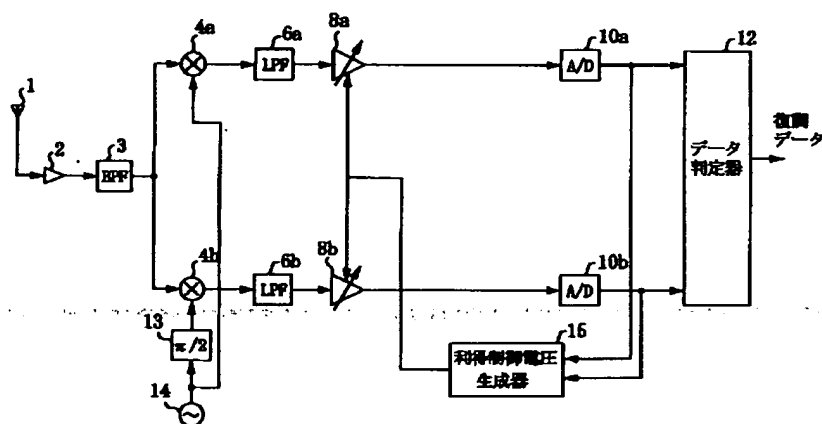




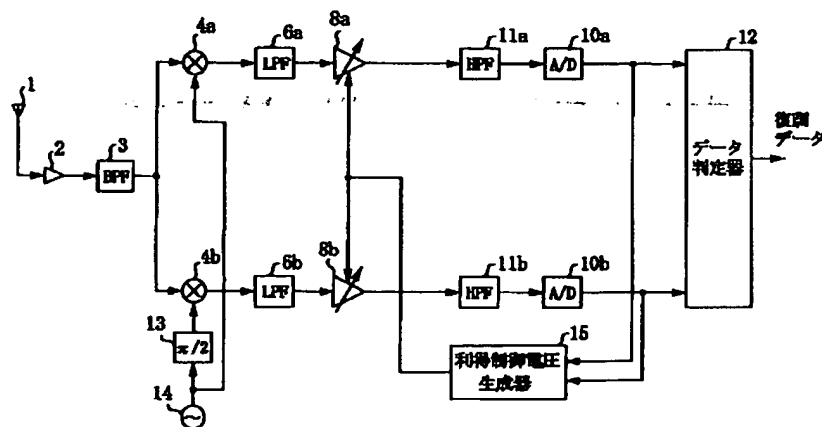
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 三宅 真

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内